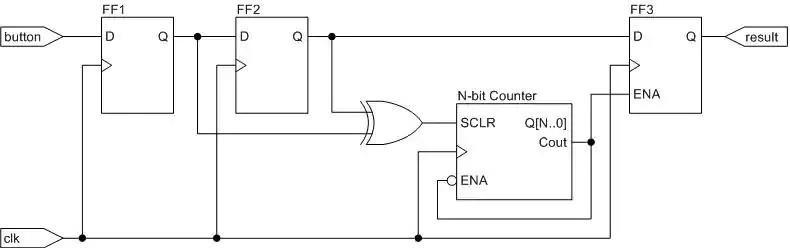
**Relazione di Reti Logiche - 1, 14 dicembre 2022**

# Obiettivi

Tale report andrà a coprire gli aspetti relativi alla progettazione e realizzazione di una semplice calcolatrice in VHDL, in grado di svolgere le principali operazioni aritmetiche, quali addizione, sottrazione e moltiplicazione. Per questo, abbiamo fatto uso delle conoscenze teoriche apprese durante le lezioni, tra cui le applicazioni dei multiplexers, delle macchine a stati finiti, dei full adders e dei flip-flops. La principale difficoltà nella progettazione di una calcolatrice, oltre all’implementazione del *debouncer*, consiste nell’essere limitati al solo sistema numerico binario, all’avere cioè come input soltanto uni e zeri inseriti attraverso gli switch di una **Nexys 4**

**DDR**.

# Schema a blocchi

 Fig. 1

# Componenti

Per la realizzazione della calcolatrice, abbiamo utilizzato principalmente tre componenti: un accumulatore, un ALU e un debouncer. Il primo riceve in ingresso il risultato della ALU e ad ogni fronte del clock lo mette in uscita; il secondo è il processore che esegue i calcoli aritmetici, in questo caso addizione, sottrazione e moltiplicazione; il terzo invece produce un solo impulso stabile in presenza di un ingresso elettricamente rumoroso, eliminando quindi i vari impulsi spurii generati dai bottoni.

Relazione di Reti Logiche - 1, 14 dicembre 2022 1

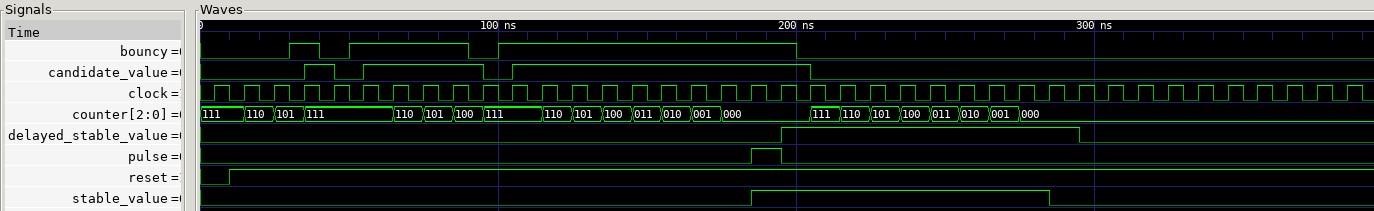


Fig. 2: diagramma temporale del debouncer

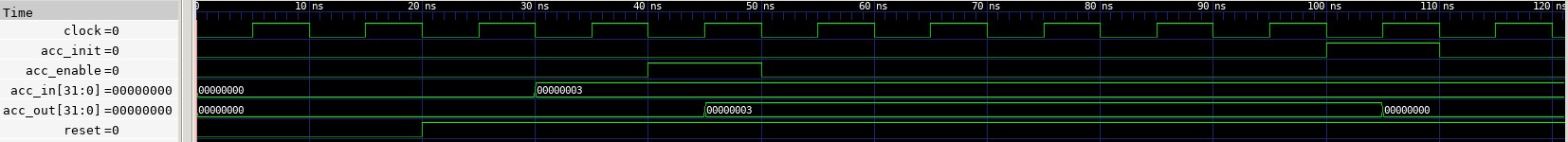
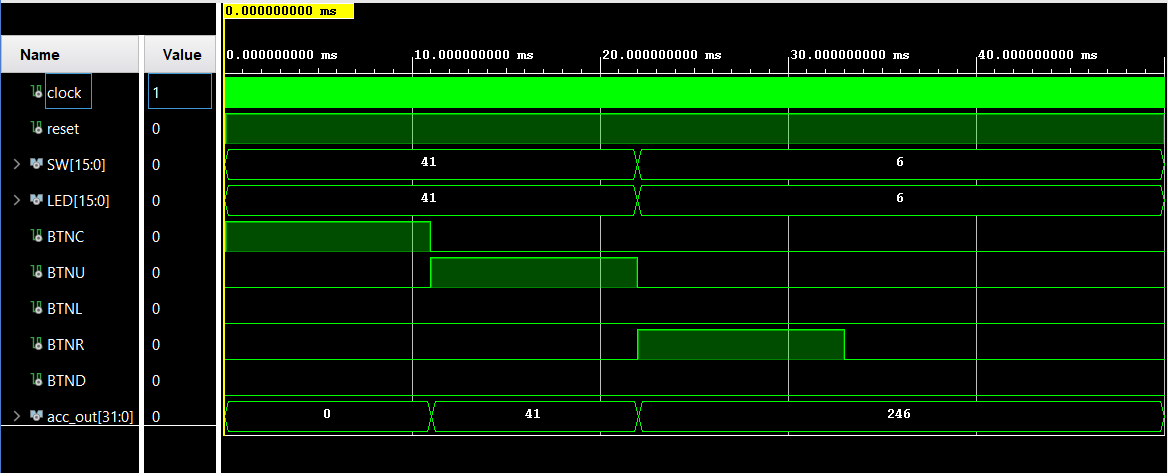


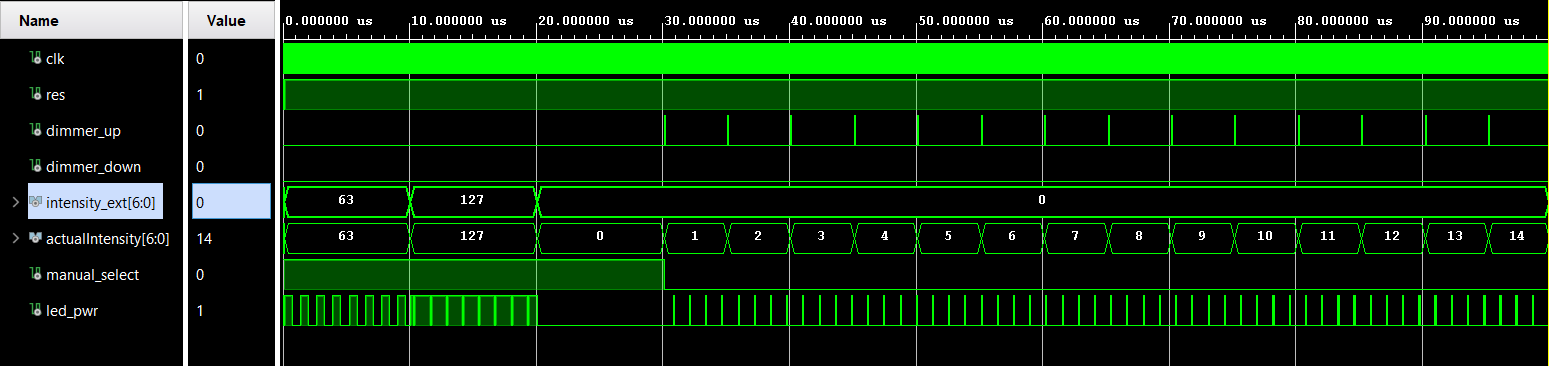
Fig. 3: diagramma temporale dell’accumulatore



Fig. 4: diagramma temporale dell’ALU

**Risultati**

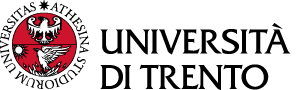


Questo è il diagramma temporale del testbench dell’architettura completa della calcolatrice inizialmente viene attivato il pulsante centrale (BTNC) il quale inizializza a 0 il valore dell’accumulatore. In seguito viene attivato il pulsante superiore (BTNU) il quale effettua la somma tra il valore attuale dell’accumulatore e il numero in ingresso (SW) che in questo caso è 0 + 45, e salva 45. Infine viene attivato il pulsante destro (BTNR) il quale effettua la moltiplicazione tra il valore dell’accumulatore con quello in ingresso che nel frattempo è diventato 6, quindi verrà mostrato a display (segnale acc\_out) 6 \* 41 = 246.

Questo è il testbench relativo all’architettura completa del sistema PWM. Da questa simulazione si può osservare che inizialmente l’intensità del led è pari a 63 ovvero il duty cycle è circa al 50%, subito dopo va a 127 ovvero la luminosità del led diventa massima, quindi il duty cycle è circa al 100%. Successivamente si attiva switch[0] attivando la modalità manuale della gestione della luminosità del led, infatti si può vedere che l’intensità parte da 0 e ad ogni segnale di dimmer up ( left button) la intensità incrementa di 1.

# Crediti

*Report realizzato da Università degli Studi di Trento - 2022/2023*



*Demartin Gustavo,*

*Hangu David,*

*Pavona Tobia e*

*Repele Tommaso*

Relazione di Reti Logiche - 1, 14 dicembre 2022 2